2 장. Operational Amplifiers (연산 증폭기, op amp)

- ⇨ 초기에는 analog 계산이나, 계측회로 분야에서 사용되었음
  개별소자로 구성 (진공관, transistor, 저항), <u>고가</u>
- ⇨ 1960 년대 중반에 **<u>IC op amp</u>** (μA 709) 처음 등장
  이후, 값싸고 고성능인 IC op amp 많이 출현
- ⇨ IC op amp 가 많이 사용되는 이유:
  (1) 다기능성.(op amp 로 거의 모든 기능의 회로 구현 가능)
  (2) 특성이 이상적인(ideal) 상태에 가깝다 =>IC op amp 를 이용한 회로 설계가 아주 쉽다
- ⇨ 이 장에서는 op amp 를 <u>회로의 building block</u> 으로 취급하며, <u>단자 특성</u>과 응용을 다룸. (IC op amp: 수십 개의 transistor, 저항, 보통 하나의 capacitor 로 구성된 복잡한 회로.)
- ⇨ Op amp 자체의 내부회로에 관한 것은 9 장에서 다룸

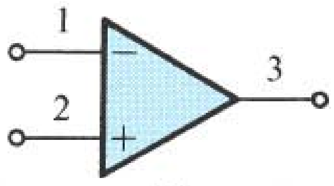
2.1 ideal(이상적인) op amp

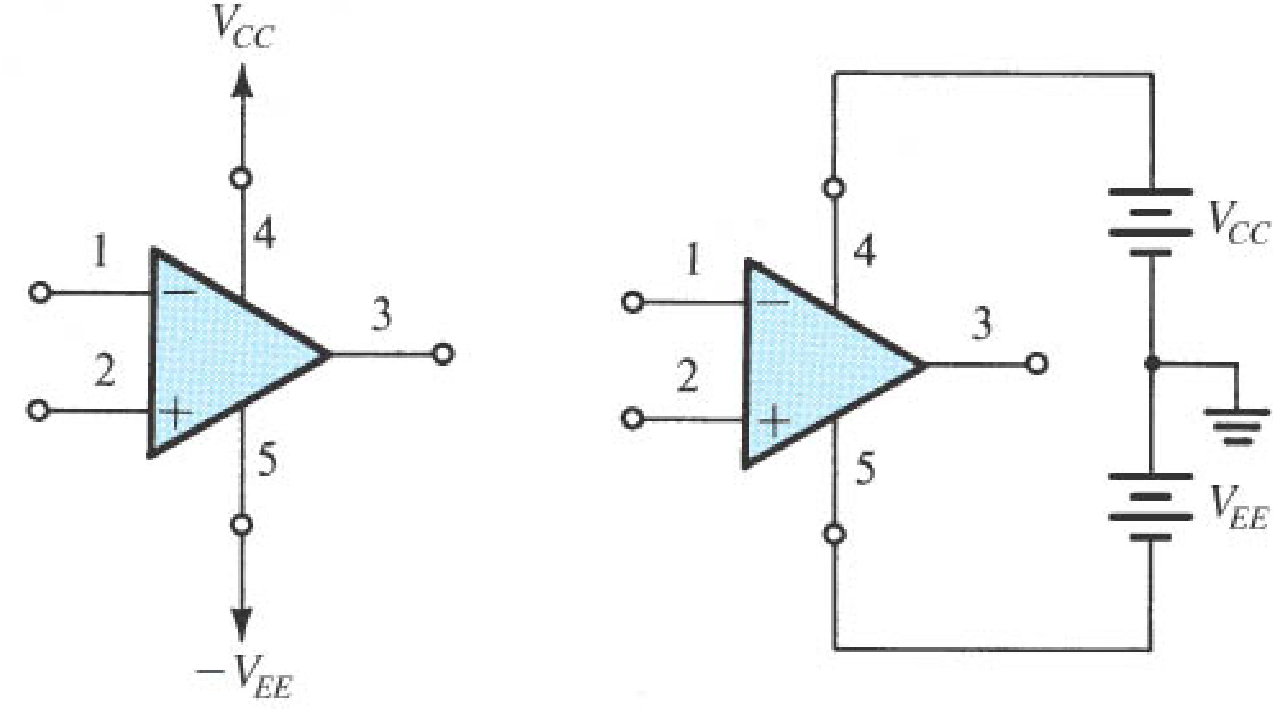
2.1.1 op amp 단자

* 신호 관련 단자: 2 개의 입력 단자, 1 개의 출력 단자

* IC op amp 는 보통 2 개의 직류 전원전압을 사용: 양의 전압 단자 와 음의 전압 단자 있음. Op amp 자체의 ground 단자가 없고 외부에서 설정해야 함.

* 이외에, 주파수 보상이나 offset 제거용 단자가 있을 수 있음.





(a) (b)

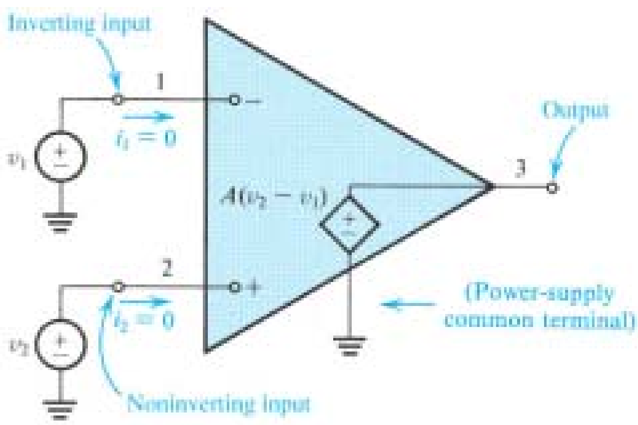
2. 1. 2 ideal op amp 의 기능과 특성

⇨ op amp 의 회로 기능: 2 입력 단자에 인가된 전압의 차이(v_2-v_1)를 탐지하고, 이것을 증폭하여(gain=A) 출력단자(단자 3)에 이 전압 A(v_2-v_1) 가 나타나게 함.

⇨ Ideal op amp 는 입력전류=0 으로 간주됨. 즉, 입력단자 1, 2 에 흐르는 전류는 모두 0 이고, 이것은 ideal op amp 의 입력 impedance 가 무한대로 설정됨을 의미함.

⇨ 출력단자(단자 3)는 ideal voltage source 의 출력 단자로 간주됨. 즉, 출력단자에서 load 로 흐르는 전류의 크기에 상관없이 출력 전압은 항상 A(v_2-v_1)가 됨. 이것은 ideal op amp 의 출력 impedance 가 0 으로 간주됨을 의미함.

⇨ 이상적인(ideal) op amp 의 등가회로:



- 입력단자 1 =**inverting 입력단자**= ‘ – ’ 부호로 표시

(출력과 신호의 부호가 반대, 위상차 180 도)

- 입력 단자 2= **noninverting 입력단자**= ‘ + ’ 부호로 표시

(출력과 신호의 부호가 같음, 출력과 같은 위상)

⇨ op amp 는 difference signal (v_2-v_1) 에 대해서만 반응하고, 2 입력에 공통인 신호(common-mode signal)는 무시함: common-mode rejection. Ideal op amp 는 common-mode gain 으로 0 를 가짐.

⇨ 그림 2.3 의 Op amp 는 differential-input, single-ended-output 증폭기.(이 경우가 대부분, 그러나 differential 출력을 가지는 것도 있음)

⇨ Gain A = **differential gain**. 또는 **open-loop gain** 이라고 함. Op amp 에 closed-loop 가 형성되면 , 이 때의 gain 을 closed-loop gain 이라 함.

⇨ op amp 는 direct-coupled (dc) 증폭기임. 따라서 직류(dc)신호와 직류에 가까운 낮은 주파수의 신호까지 증폭 가능하므로, 다양한 응용 분야가 있음. (dc 증폭기로서의 문제점도 있음)

⇨ Ideal op amp 의 bandwidth(주파수 대역폭)=무한대. 즉, 직류에서 무한대의 주파수 신호까지 같은 크기의 gain 으로 증폭한다고 간주함

⇨ Ideal op amp 의 gain A 의 크기= <u>무한대 **(**가장 중요한 성질)</u>

Gain=무한대? 대부분의 응용에서 op amp 는 그 자체의 open-loop 구조로 동작하지 않고, op amp 둘레에 다른 소자들이 사용되어 feedback 이 작용하는 closed-loop 가 형성되는 구조로 동작함

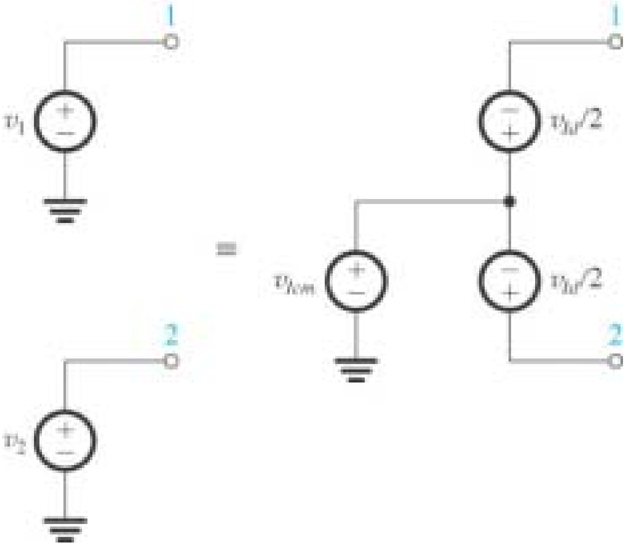
2.1.3 differential 및 common-mode 신호

differential 입력신호, v_{id}: 두 입력 신호의 차이.즉, $v_{id} = v_2 - v_1$

common-mode 입력 신호, v_{icm} : 두 입력 신호의 평균.

$v_{icm} = 1/2(v_1 + v_2)$

⇨ $v_1 = v_{icm} - v_{id}/2$. $v_2 = v_{icm} + v_{id}/2$.

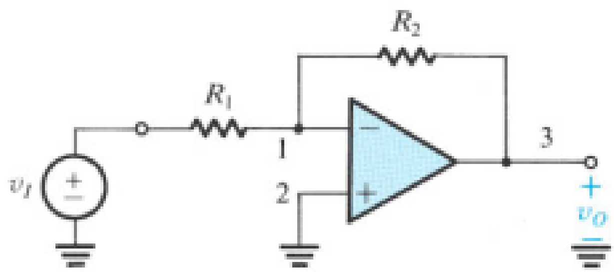


2. 2 inverting 구조

- op amp: 단독으로 사용 안되고, 수동소자와 feedback 회로구성.
- 2 개의 기본 회로 구조: op amp+ 2 개의 저항

  inverting 구조

  noninverting 구조
- inverting 구조: 그림 2.5



⇨ R_2: **negative feedback** 제공. R_2는 op amp 둘레에서 closed-loop 형성.

⇨ 단자 2: ground.

=> R_1: 단자 1 과 입력신호 source, v_I를 연결.

⇨ 전체 회로의 출력: 단자 3 에서 취함 (이점에서의 impedance 가 ideal 하게는 0 이기 때문에 편리함). 출력전압 v_o는 단자 3 과 ground 사이에 연결될 load 에 흐르는 전류의 크기에 상관 없음.

2.2.1 Closed-loop gain

Closed-loop gain G 의 정의:

$$G \equiv \frac{v_O}{v_I}$$

그림 2.5 의 회로에서 op amp 를 ideal 로 가정하고 G 를 구함.

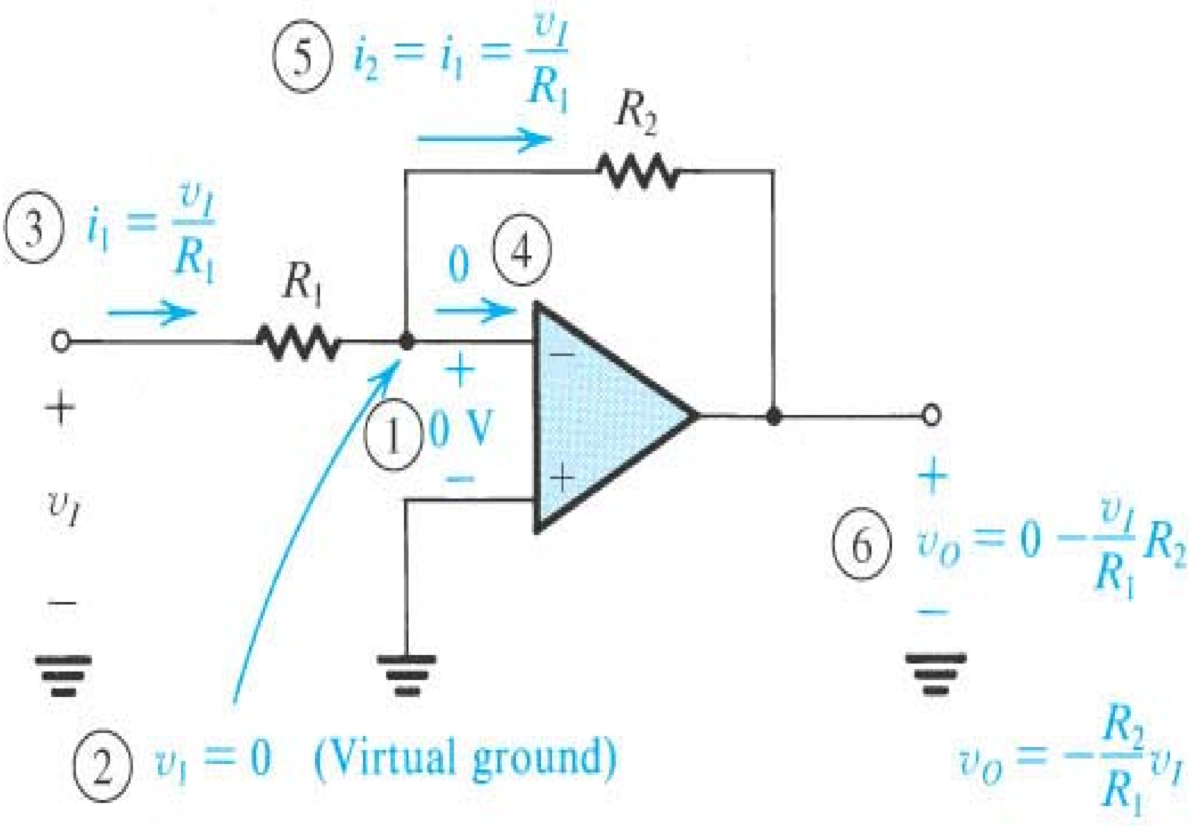
Virtual short circuit 과 virtual ground

지금 A=∞. 회로가 정상동작하면, 유한한 출력전압이 단자 3 에 나타나고, 따라서 op amp 의 입력단자 간 전압은 0

즉, 출력 전압을 v_o 라 하면

$$v_2 - v_1 = \frac{v_O}{A} = \frac{v_O}{\infty} = 0 \; \Rightarrow \; v_1 \cong v_2$$

따라서, 두 입력 단자 사이에 **virtual short circuit** 가 존재하게 됨.(물론, 물리적으로는 short circuit 이 아님). 또 단자 2 는 ground(v_2=0)이므로 단자 1 의 전압(v_1=0)도 0 이다. 따라서 단자 1 은 **virtual ground** 상태임.



(b)

$$i_1 = \frac{v_I - v_1}{R_1} \cong \frac{v_I - 0}{R_1} = \frac{v_I}{R_1}$$

i_1 은 op amp 속으로 흐를 수 없으므로(ideal op amp 는 입력 impedance 가 무한대이므로, 입력전류=0), 따라서 i_1 는 R_2 를 따라 단자 3 으로 흐름.

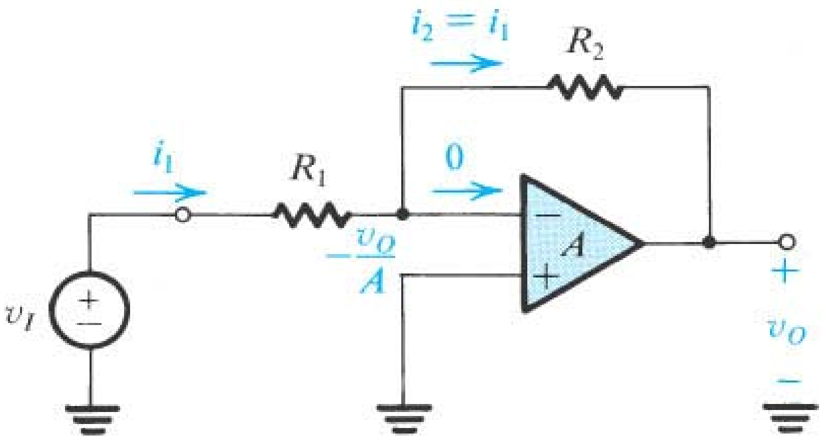
$$v_O = v_1 - i_1 R_2 = 0 - \frac{v_I}{R_1} R_2$$

$$\therefore \frac{v_O}{v_I} = G = -\frac{R_2}{R_1}$$

- ⇨ closed-loop gain G 는 두 저항 R_2, R_1의 비율임. 음(-)의 부호는 입력신호와 출력신호의 위상차이가 180° 인 것을 의미함.(즉, 위상이 반전(inversion)됨).
- ⇨ closed-loop gain 이 음의 부호인 점 때문에 이 구조를 **inverting** 구조라 함.
- ⇨ closed-loop gain 은 전적으로 외부의 수동소자(R_1, R_2)에 의해 결정되므로, 적절한 정확도 를 가진 수동소자를 선택하면 closed-loop gain 을 정확하게 만들 수 있다. 또한 G 는 이상적으로는 op amp 의 gain 과 무관함. 이것은 negative feedback 을 사용한 효과로서 closed-loop gain 이 open-loop gain A 보다 훨씬 작은 값이지만 안정되고 정확한 값을 얻을 수 있음. 즉, gain 의 크기를 희생하고 정확도 를 얻은 것임.

2.2.2 유한한 **open-loop gain** 의 효과

가정: op amp 의 open-loop gain A 는 유한함.



$$v_2 - v_1 = \frac{v_o}{A},\_\_v_2 = 0 => v_1 = -\frac{v_o}{A}$$

$$i_1 = \frac{v_I - \left(-\frac{v_o}{A}\right)}{R_1} = \frac{v_I + \frac{v_o}{A}}{R_1} => v_o = -\frac{v_o}{A} - i_1 R_2 = -\frac{v_o}{A} - \left(\frac{v_I + \frac{v_o}{A}}{R_1}\right) R_2$$

$$\therefore G \equiv \frac{v_o}{v_I} = \frac{-\frac{R_2}{R_1}}{1 + \left(1 + \frac{R_2}{R_1}\right)/A}$$

$$A -> \infty => G -> -\frac{R_2}{R_1}$$

$$A -> \infty => -\frac{v_o}{A} -> 0$$

⇨ Closed-loop gain G 에 대한 open-loop gain A 의 영향을 최소화 하기위해서는 $(1 + R_2/R_1) << A$ 이어야 함.

2.2.3 입·출력 저항

가정: 무한한 A 의 ideal op amp.

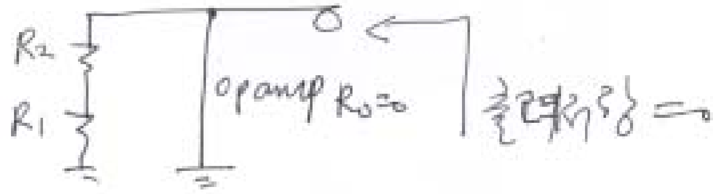
그림 2.5 의 closed-loop inverting 증폭기의 입력저항.

$$R_i \equiv \frac{v_I}{i_1} = \frac{v_I}{v_I / R_1} = R_1$$

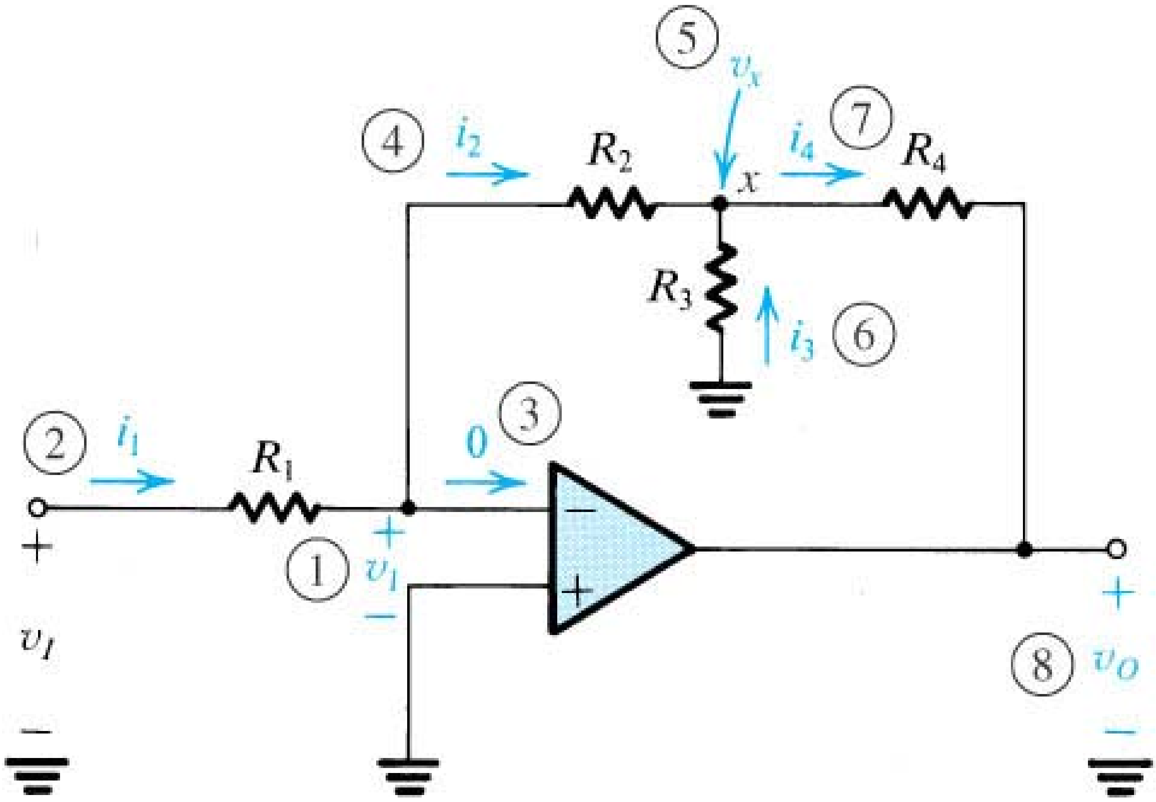
전압 증폭기의 입력저항은 큰 값이어야 함. R_i 를 크게 하려면, R_1 이 큰 값이어야 한다. 그러나, 전압이득(R_2/R_1)을 크게 하기위해 R_2 는 아주 큰 값이어야 하고 이것은 비현실적이다. 따라서, inverting 구조는 작은 input resistance 를 가질 수 밖에 없음. (이 문제에 대한 해결 방법은 예제 2.2 에서 제시될 수 있음)

Closed-loop inverting 증폭기의 출력저항 =0.

inverting 증폭기 의 출력저항
= op. amp 출력저항 // 피드백회로저항
= 0 // 피드백회로저항
= 0



예제 2.2 : 그림 2.8 의 inverting amp 가 gain=100, input resistance=1MΩ이 되게 설계.(op amp 는 ideal. 각 저항은 실현가능한 1MΩ 이하의 값을 가져야 함). 설계 결과를 그림 2.5 의 inverting 구조와 비교할 것.



$$v_1 = 0 \Rightarrow i_1 = \frac{v_I}{R_1} \Rightarrow i_2 = i_1 = \frac{v_I}{R_1}$$

$$v_x = v_1 - i_2 R_2 = 0 - \frac{v_I}{R_1} R_2 = -\frac{R_2}{R_1} v_I, \quad i_3 = \frac{0 - v_x}{R_3} = \frac{R_2}{R_1 R_3} v_I$$

$$i_4 = i_2 + i_3 = \frac{v_I}{R_1} + \frac{R_2}{R_1 R_3} v_I$$

$$\therefore v_o = v_x - i_4 R_4 = -\frac{R_2}{R_1} v_I - \left(\frac{v_I}{R_1} + \frac{R_2}{R_1 R_3} v_I \right) R_4$$

$$\therefore \frac{v_o}{v_I} = -\left[\frac{R_2}{R_1} + \frac{R_4}{R_1}\left(1 + \frac{R_2}{R_3}\right) \right]$$

R_i=1MΩ이므로, R_1=1MΩ로 선택.(왜냐하면, R_i = R_1)

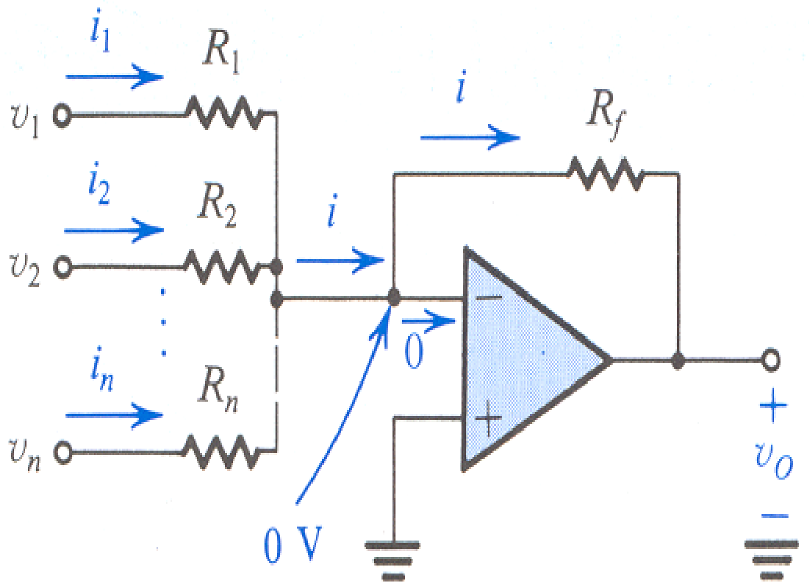
다음, R_2=1MΩ로 선택.(1MΩ이 저항의 가능한 최대값)

다음, gain= - 100 이므로, R_4=1MΩ로 선택. R3=10.2 kΩ로 선택.

반면에, 그림 2.5 의 inverting 구조의 경우, R_i = 1MΩ를 위해 R_1=1MΩ로 선택하면, gain=-100 을 위해 R_2=100MΩ 이어야 함.(이것은 비현실적으로 너무 큰 값임.)

2.2.4 가중치 덧셈기(weighted summer)

inverting 구조의 중요한 응용회로.



$$v_O = -\left(\frac{R_f}{R_1}v_1 + \frac{R_f}{R_2}v_2 + \cdots + \frac{R_f}{R_n}v_n\right)$$

FIGURE 2.10 A weighted summer.

$$i_1 = \frac{v_1}{R_1},\ i_2 = \frac{v_2}{R_2}, \ldots, i_n = \frac{v_n}{R_n},\quad i = i_1 + i_2 + \ldots + i_n$$

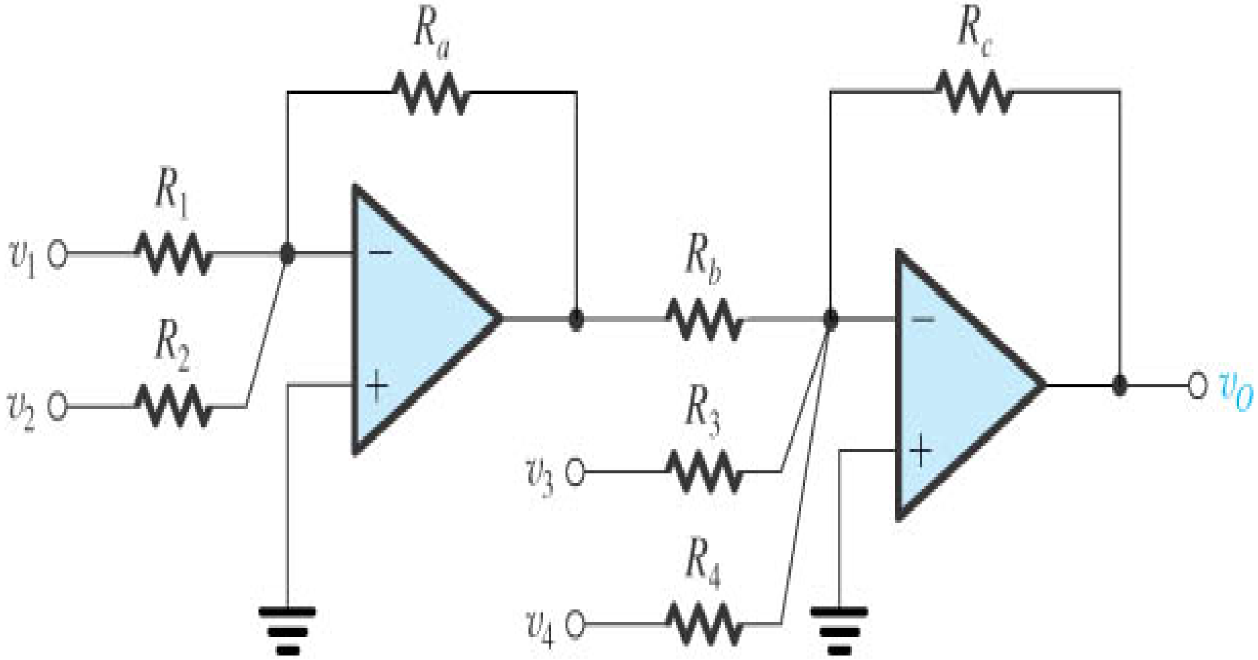
$$v_o = 0 - iR_f = -iR_f$$

$$\therefore v_o = -\left(\frac{R_f}{R_1}v_1 + \frac{R_f}{R_2}v_2 + \ldots + \frac{R_f}{R_n}v_n\right)$$

$=> v_o$는 입력신호 $v_1, v_2, \ldots, v_n$의 *weighted summer*

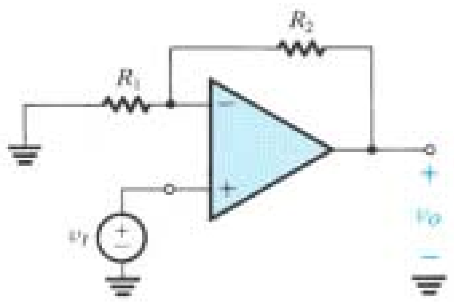
각 가중치는 각 저항($R_1, \ldots R_n$) 크기 조절로 독립적으로 조정 가능.

다른 부호의 가중치가 필요한 경우=> 그림 2.11 회로



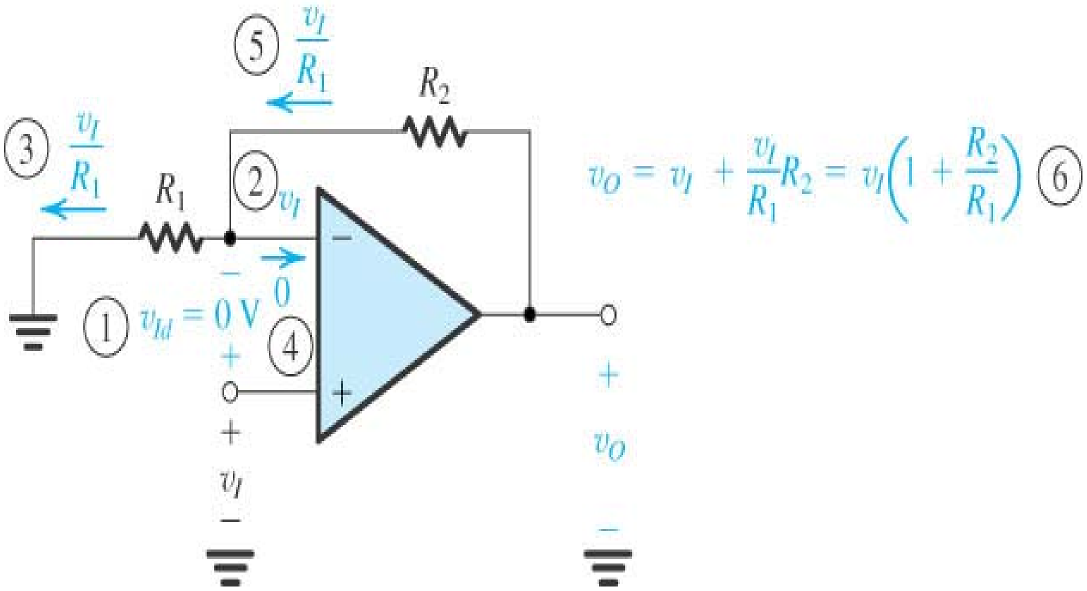
2.3 Noninverting 구조 : 그림 2.12

두 번째 closed-loop 구조



입력신호 v_I 는 양의 입력 단자에 바로 연결. R_1 은 gnd.

2.3.1 Closed-loop gain:



가정: op amp 는 ideal (A=∞) => 두 입력단자에 virtual short 성립.

$$v_{ID} = \frac{v_o}{A} = \frac{v_o}{\infty} = 0$$ =>inverting 입력단자 전압=v_I

⇨ R_1 의 전류= v_I / R_1 => R_2 를 통해 흐름(op amp 입력전류=0)

$$v_o = v_I + \left(\frac{v_I}{R_1}\right)R_2 \Longrightarrow \frac{v_o}{v_I} = 1 + \frac{R_2}{R_1}$$

다른 관점:

$$v_1 = v_o\left(\frac{R_1}{R_1+R_2}\right) = v_I \implies \frac{v_o}{v_I} = 1+\frac{R_2}{R_1}$$

<u>negative feedback 작용:</u>

v_I↑ => v_{Id}↑ => v_o↑ =>그러나, v_o 의 일부분 R_1, R_2 통해 inverting 입력단자에 feedback 됨 => v_{Id} 증가에 반대로 영향미침=> v_{Id} 다시 0 이 됨.

2.3.2 **<u>noninverting 구조의 특성</u>**

Noninverting 구조의 gain 은 양의 값=> “noninverting” 구조

<u>입력 impedance=∞</u>:

출력 impedance=0 :

2.3.3 유한한 open-loop gain 의 효과:

op amp ideal(단, A 는 유한한 값)

$$G \equiv \frac{v_o}{v_I} = \frac{1+(R_2/R_1)}{1+\frac{1+(R_2/R_1)}{A}}$$

$$A >> 1+(R_2/R_1) \implies G = 1+(R_2/R_1)$$

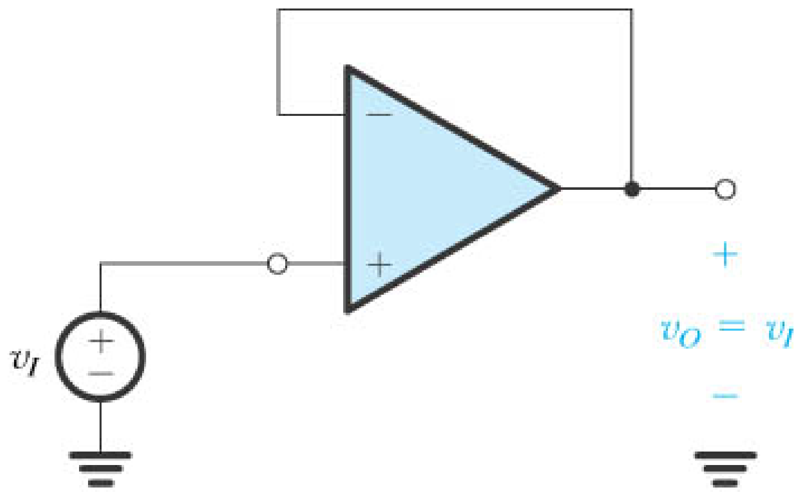
2.3.4 **Voltage follower:**

⇨ **noninverting 구조의 큰 입력 저항**을 이용한 응용

⇨ buffer amplifier 구현 가능: 큰 impedance 를 가진 source 를 작은 impedance 의 load 에 연결되게 함. (voltage gain 필요 없음. 1 이라도 상관없음)

⇨ noninverting 구조에서 R_2=0, R_1=∞로 unity-gain 증폭기 구현:

⇨ voltage follower: 출력이 입력을 따라감(follow).

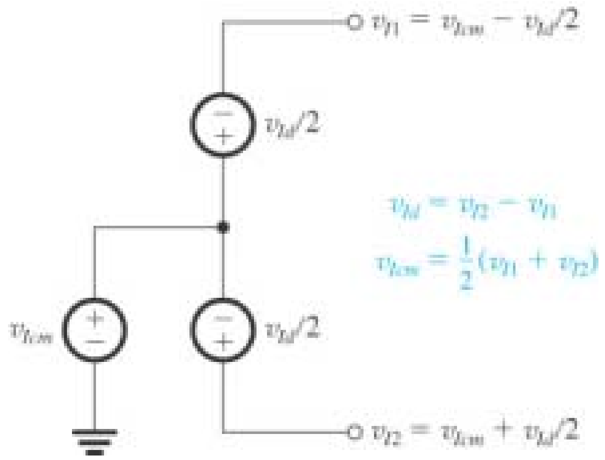


(a)

2.4 difference amplifier

difference amplifier : 두 입력 신호의 차이에 반응, 입력신호에 공통인 신호는 거부.

신호의 표시: differential mode 성분과 common-mode 성분. 그림 2.15



실제회로에서, $v_o = A_d v_{Id} + A_{cm} v_{Icm}$,

A_d = differential gain, A_{cm} = common-mode gain(이상적으로는 0)

CMRR(common-mode rejection ratio): Differential amp 성능비교 척도;

$$CMRR = 20\log\frac{|A_d|}{|A_{cm}|}$$

difference amp 의 사용 보기: 계측회로.

지금, 두 출력단자사이에 작은(1mV 정도) 신호를 제공하는 transducer 가 있다고 하자. Transducer 출력 단자와 측정장비사이의 두 도선에서 gnd 와의 사이에 큰 간섭신호(1V 정도) 있음. 이 경우 측정장치의 첫 부분에 difference amp 필요.

2.4.1 single op amp difference amp.

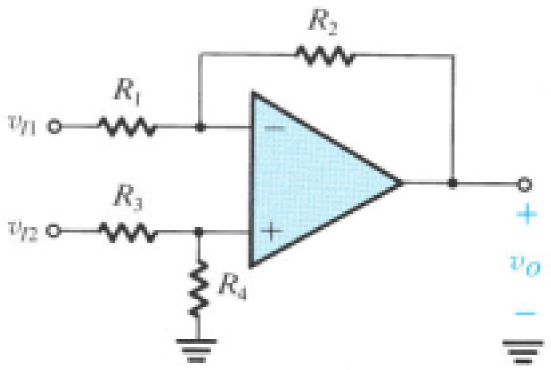
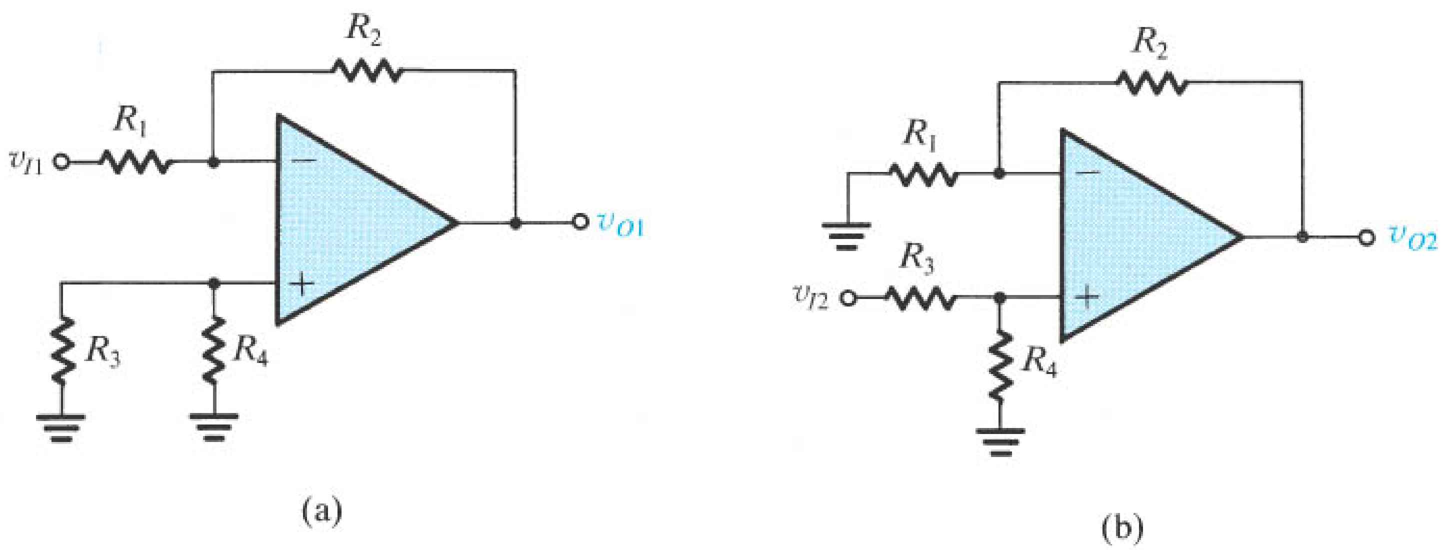


그림 2.16 의 회로에서 출력 전압 v_o 를 두 입력 전압 v_{I1}, v_{I2} 의 식으로 표현.

<u>Superposition principle(중첩의 원리)</u>이용:(network 이 linear, <u>가능</u>).



1) v_{I1} 인가, v_{I2}=0 => v_{I1} 에 의한 출력 v_{o1} 를 구함 : 그림 2.17 (a)

여기서 R_3, R_4 는 아무런 효과가 없음. (Op amp 의 noninverting 입력단자의 전류=0 => noninverting 입력단자의 전압=0)

$$\therefore v_{o1} = -\frac{R_2}{R_1} v_{I1}$$

2) v_{I2} 인가, v_{I1}=0 => v_{I2}에 의한 출력 v_{o2} 구함: 그림 2.17(b)

Op amp 의 noninverting 입력단자의 전류=0 이므로, 이 단자의 전압은 $v_{I2}R_4/(R_3+R_4)$임.

$$\therefore v_{o2} = \left(1+\frac{R_2}{R_1}\right)\frac{R_4}{R_3+R_4}v_{I2}$$

$$if\_\frac{R_4}{R_3+R_4}\left(1+\frac{R_2}{R_1}\right)=\frac{R_2}{R_1}\left(i.e.\frac{R_4}{R_3}=\frac{R_2}{R_1}\right)$$

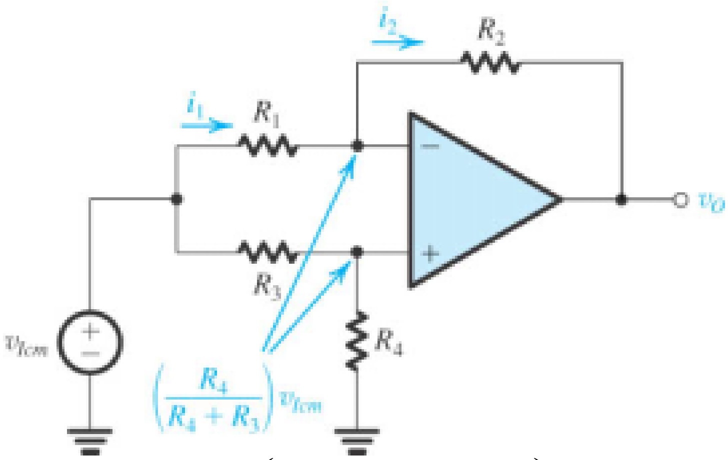
$$==> v_{o2} = \frac{R_2}{R_1}v_{I2}$$

$$\therefore v_o = v_{o1} + v_{o2} = \frac{R_2}{R_1}\left(v_{I2}-v_{I1}\right) = \frac{R_2}{R_1}v_{Id}$$

$$==> difference\_amp\_(differenti\ al\_gain\_A_d = \frac{R_2}{R_1})$$

$R_4/R_3=R_2/R_1$ => 보통 $R_3 = R_1$, $R_4= R_2$로 선택.

Common-mode 신호 인가 경우: 그림 2.18



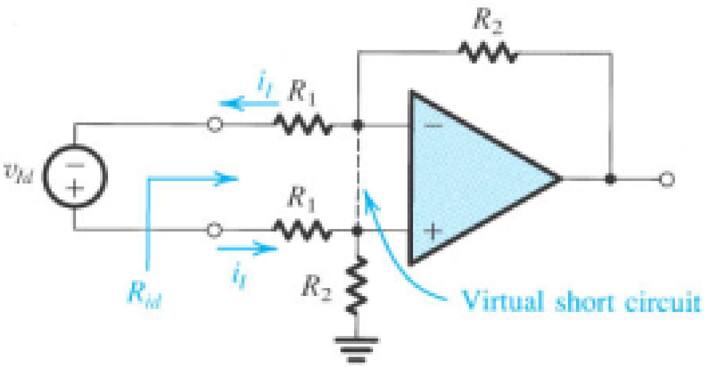
$$i_1 = \frac{1}{R_1}\left(v_{Icm} - \frac{R_4}{R_4+R_3}v_{Icm}\right) = v_{Icm}\frac{R_3}{R_4+R_3}\frac{1}{R_1}$$

$$v_o = \frac{R_4}{R_4+R_3}v_{Icm} - i_2R_2 = \frac{R_4}{R_4+R_3}v_{Icm} - \frac{R_3}{R_4+R_3}\frac{R_2}{R_1}v_{Icm}$$

$$= \frac{R_4}{R_4+R_3}\left(1 - \frac{R_2}{R_1}\frac{R_3}{R_4}\right)$$

$$\therefore A_{cm} \equiv \frac{v_o}{v_{Icm}} = \frac{R_4}{R_4+R_3}\left(1 - \frac{R_2}{R_1}\frac{R_3}{R_4}\right) = 0\left(\because \frac{R_2}{R_1} = \frac{R_4}{R_3}\right)$$

<u>Difference amp 의 입력저항</u>: 그림 2.19



⇨ **differential 입력저항 R_{id} 의 정의**: v_{Id} 에 의해 보이는 저항

⇨ (지금, $R_3 = R_1$, $R_4 = R_2$ 로 선택함)

$$R_{id} \equiv \frac{v_{Id}}{i_1}$$

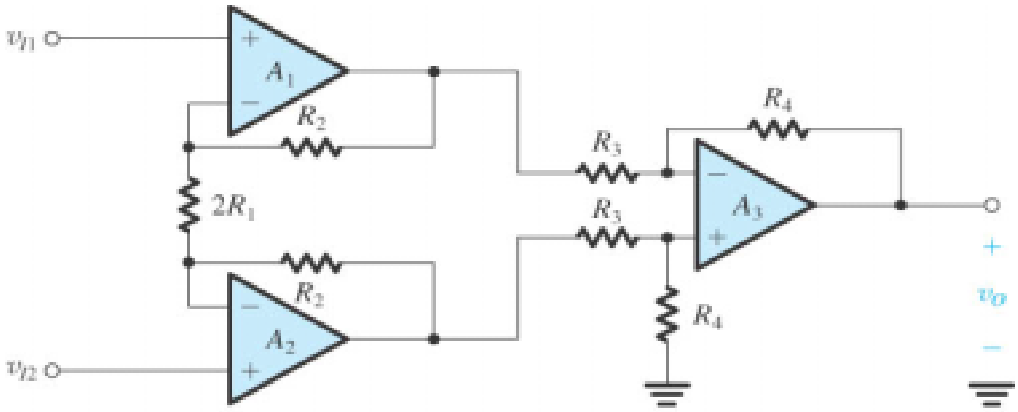
$$v_{Id} = R_1 i + 0 + R_1 i$$

$$\therefore R_{id} = 2R_1$$

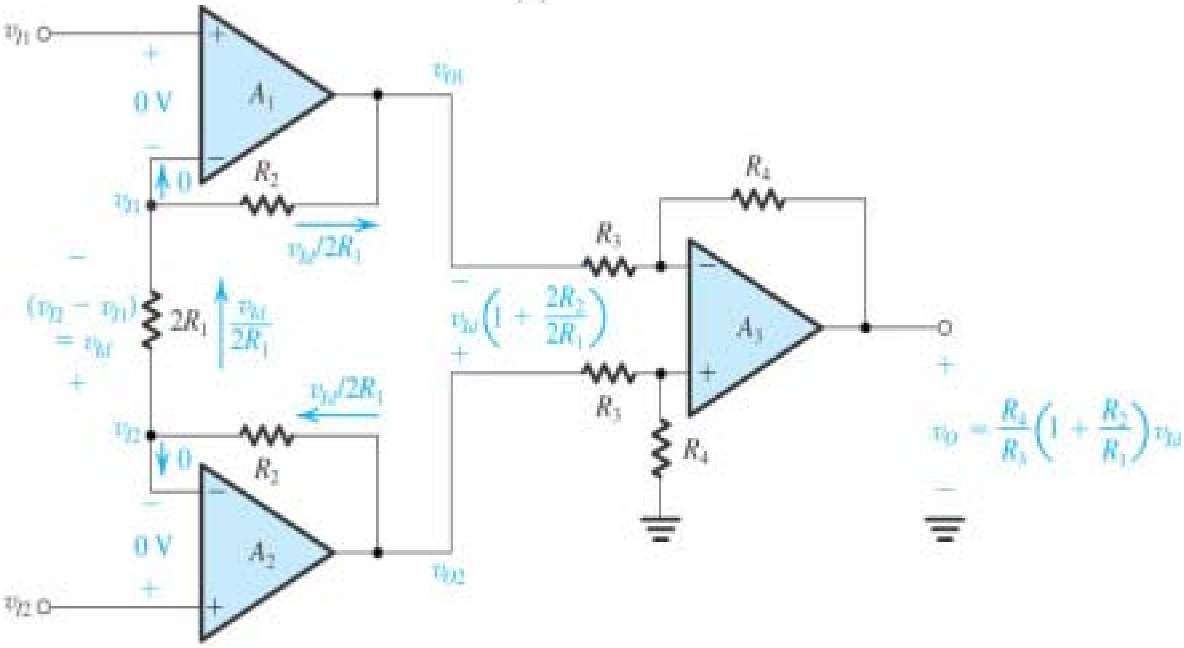
⇨ 이 회로가 큰 전압이득을 가지려면 R_1 은 작은 값이어야 하고, 따라서 R_{id} 은 <u>작을 수 밖에 없다</u>. <u>이 회로의 단점</u>.

2.4.2 Instrumentation Amplifier(계측기용 증폭기) :

그림 2.16 의 difference amp 는 작은 입력저항 가짐. voltage follower 사용으로 이 문제 해결. 또한 voltage follower stage 에서 필요한 gain 의 대부분을 얻음. 둘째 stage 에서는 difference function 만 구현



(b)



(c)

⇨ gain 조정: 하나의 저항 $2R_1$ 의 크기를 변화 => gain 조정이 가능함

2.6 op amp 의 large-signal 동작

output signal 이 큰 값일 때 발생하는 op amp 회로의 성능상의 제한점.

<u>2.6.1 Output saturation</u> : 그림 1.13 참조

- ⇨ 출력전압이 제한된 범위 내에 있을 때에만, op amp 는 선형적으로 동작함.
- ⇨ Op amp 출력 값이 음·양의 전원전압에 1 - 3 V 범위 내에 접근하면 saturation 됨. 즉, ±15V 의 전원전압을 사용하는 경우, 출력 전압이 양의 방향에서는 +13V 정도에, 음의 방향에서는 –13V 정도에 도달하면 saturation 됨. 이 경우, 이 op amp 의 **<u>rated output voltage(정격출력전압)</u>**는 ±13V 라고 함.
- ⇨ 출력 파형의 peak 가 <u>잘려 나가서</u>(clip off) 파형이 왜곡되는 것을 피하려면, 입력 신호가 그에 상응되게 작게 유지되어야 함.

2.6.2 출력전류 제한

op amp 의 출력전류의 최대값이 제한됨.(feedback 회로와 load 저항의 전류 합<최대 출력전류)

(보기) 741 op amp 의 최대출력전류=±20mA

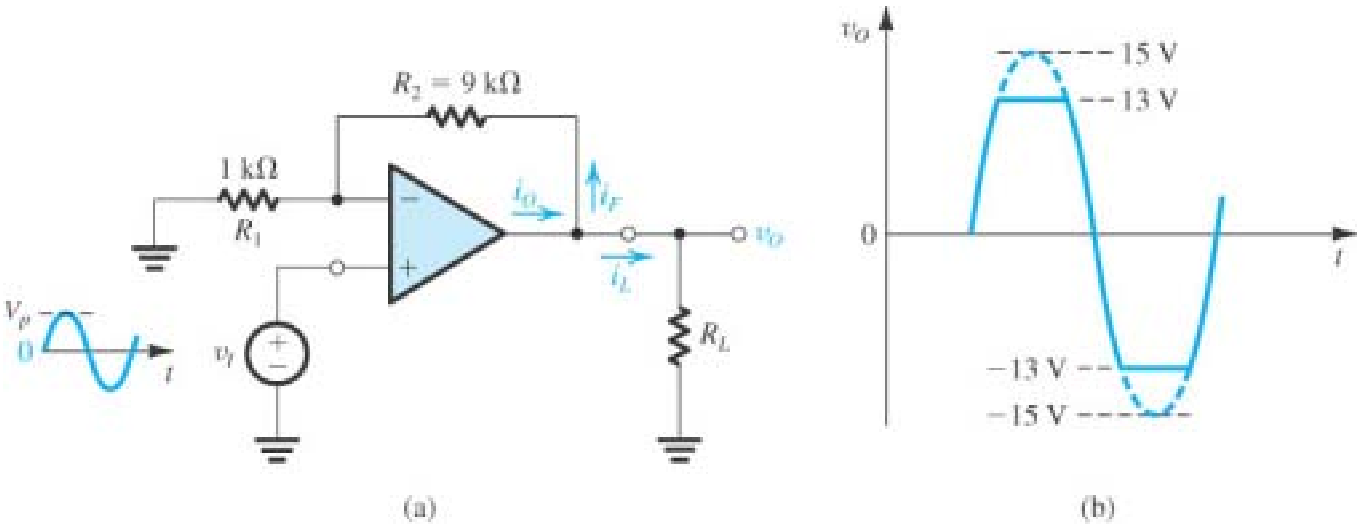
만일 요구되는 전류>최대출력전류 이면, 출력전압이 전류의 최대 값에 해당되는 값으로 saturation 됨.

(예제 2.5) 그림 2.25 의 noninverting 증폭기: gain=1+ R_2/R_1 = 10

입력신호= 최대값 V_p 인 낮은 주파수의 sine wave.

출력은 load 저항 R_L 에 연결.

Op amp 의 출력 saturation 전압=±13V, 최대출력 전류=±20mA



(a) V_p=1V, R_L=1kΩ일 때, 출력신호?

최대값이 10V 인 sine wave. 크기<13V => ok!

v_o=10V 일 때의 전류?

Load 전류(i_L) = 10V/1K=10mA

feedback 회로의 전류(i_F)=10V/(9k+1k)=1mA

=>총출력전류(i_O)=10mA +1mA=11mA <20mA =>ok!

(b) V_p=1.5 V, R_L=1kΩ일 때, 출력신호?

출력전압: 이상적으로는 15V >13V=> v_o 는 최대 ±13V 로 saturation (그림 2.25(b))

전류: i_L = 13V/1K=13mA, i_F=13V/(9k+1k)=1.3mA,

i_O=13mA +1.3mA=14.3mA <20mA =>ok!

(c) R_L=1kΩ일 때, 왜곡되지 않는 sine wave 가 출력될 V_p 의 최대 값은?

V_p 의 최대값= 13V/10=1.3V.

이 때의 전류=14.3mA <20mA ((b)경우 참조)

(d) V_p=1V 일 때, 왜곡되지 않는 sine wave 가 출력될 R_L 의 최소값 은?

v_o 의 최대값=10V.

i_O 의 최대값=20mA =10V/R_{Lmin} + 10V/(9k +1k) => R_{Lmin} =526Ω

2.6.3 **Slew Rate**

- 출력신호가 큰 값일 때, 비선형 왜곡을 일으킬 수 있는 다른 요인은 slew-rate limiting 임.

⇨ op amp 출력전압의 시간에 대한 변화율의 최대값을 **slew-rate (SR)** 라고 하며, 다음과 같이 정의됨(단위: V/μs):

$$SR = \left.\frac{dv_o}{dt}\right|_{\max}$$

⇨ op amp 회로에 어떤 입력신호가 인가되어, 출력신호의 변화가 SR 보다 더 빠르게 일어나야 한다면, op amp 는 이를 따라가지 못하고, 출력 전압은 가능한 최대의 변화율 즉 SR 에 해당하는 정도로만 변화하게 된다.

⇨ 보기: 그림 2.26 의 unity-gain voltage follower 의 경우

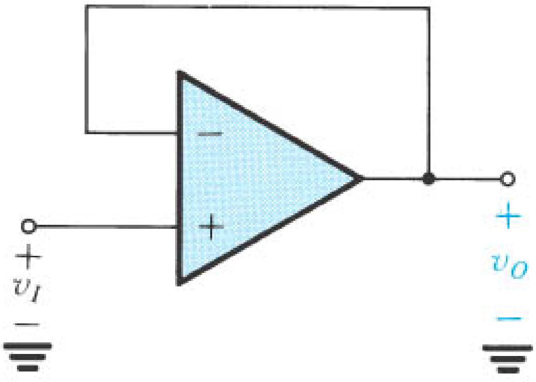
입력신호가 그림 2.26(b)와 같은 step 파형의 전압이라면,

op amp 의 출력은 전압 V 에 바로 도달할 수 없고,

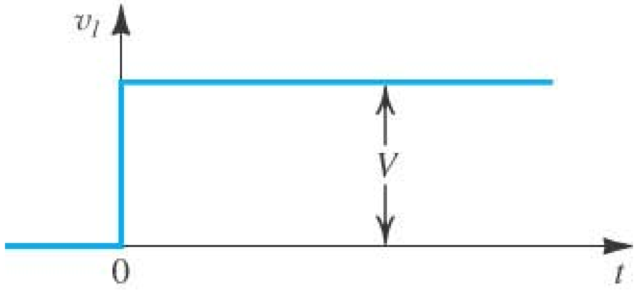
그림 2.26(c)에서 보이는 것처럼, 기울기가 SR 인

linear ramp 파형이 될 것이다. 이 경우 증폭기는

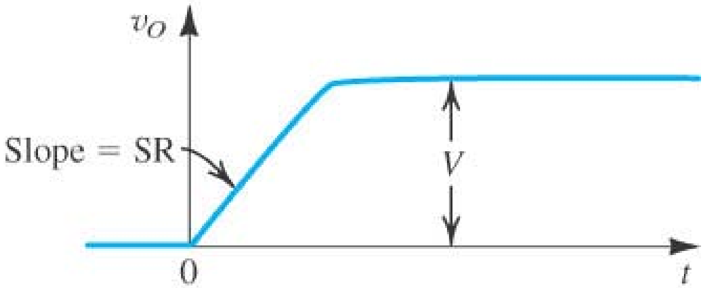
slewing 한다고 하고, 그 출력은 slew-rate limited 되었다고 함.



(a)



(b)



(c)

2.6.4 full-power bandwidth

⇨ 정현파가 op amp 회로에 인가되어, 그 출력이 SR 보다 더 큰 비율로 변화해야 한다면 비선형 왜곡이 발생한다.

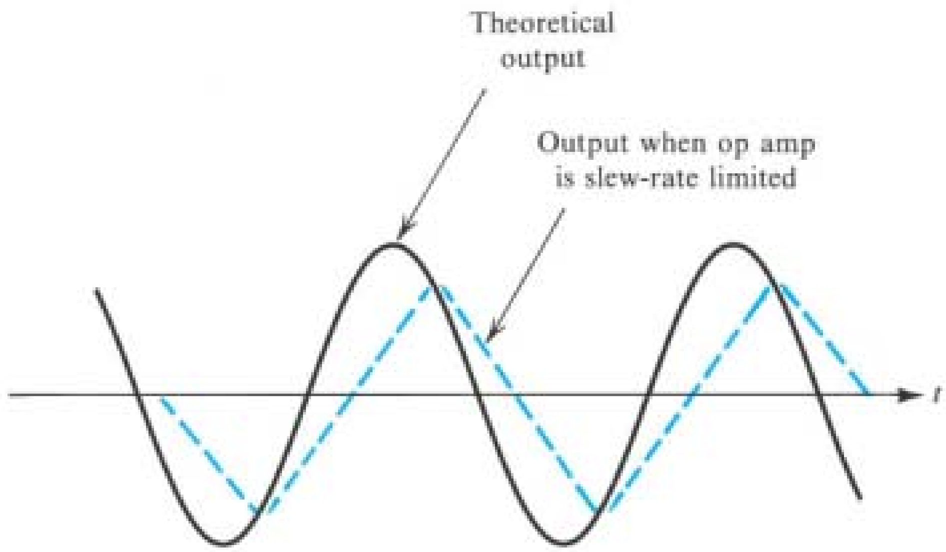
⇨ 그림 2.26 의 unity-gain voltage follower 에 다음과 같은 정현파가 입력되었을 경우,

$$v_I = V_i \sin \omega t$$

이 파형의 변화율은 다음과 같다.

$$\frac{dv_I}{dt} = \omega V_i \cos \omega t$$

즉, 변화율의 최대값은 ωV_i 이고, 이 값은 입력 정현파가 영점을 지날 때 발생한다(cosωt=1). 지금 ωV_i 이 op amp 의 slew rate 보다 큰 값이라면, 출력 파형은 그림 2.27 처럼 왜곡될 것이다. 그림 2.27 에서 보이는 것처럼 출력 파형은 정현파가 영점을 지날 때의 큰 변화정도를 따라갈 수 가 없고, op amp 는 slew 하게 된다.



Full-power bandwidth, f_M: op amp 의 rated 출력전압과 같은 크기의 최대값을 가지는 정현파가 slew-rate limiting 에 의해 왜곡되기 시작하는 주파수.

지금, V_{omax}= rated 출력전압.

$$\omega_M V_{omax} = SR \Rightarrow f_M = \frac{SR}{2\pi V_{o\max}}$$

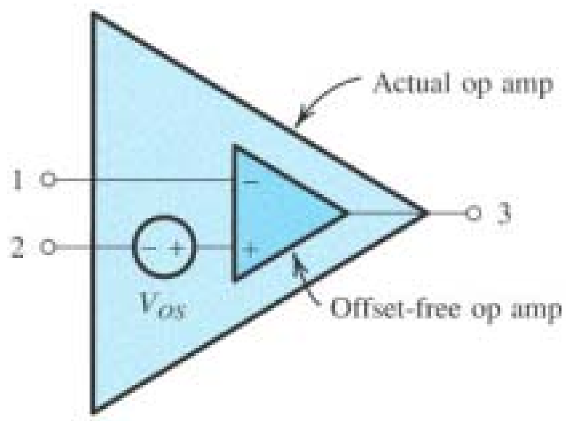
2.7 DC 문제

op amp 는 dc 에서 큰 gain 을 가지는 direct-coupled devices 이기 때문에 DC 문제의 영향을 많이 받음.

2.7.1 Offset Voltage:

⇨ op amp 의 두 입력을 gnd 시켜도 출력이 나옴(이상적으로는 0). (이것은 Op amp 내부의 입력 stage 인 differential amp 에서의 피할 수 없는 mismatch 때문.) 이때, 외부에서 일정한 전압을 인가하면 출력이 다시 0 이 됨. 이 외부에서 인가한 전압과 크기는 같고 극성이 반대인 전압을 <u>**입력 offset 전압**</u> V_{OS} 이라 함.

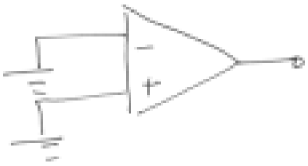
⇨ 입력 offset 전압을 고려한 op amp 의 모델:



⇨ Closed-loop op amp 회로에서의 input offset voltage V_{OS} 의 영향을 조사함.

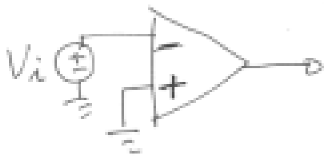
Input offset 전압

①



$V_o = +V$. $(V_o \neq 0)$

②



$V_o = +V - V = 0$.

$V_i \Rightarrow -V$.

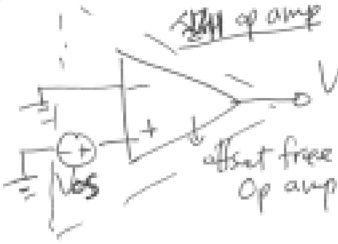
$V_{os} \Rightarrow +V$

↓ 입력 offset 전압

$\therefore V_{os} = -V_i$

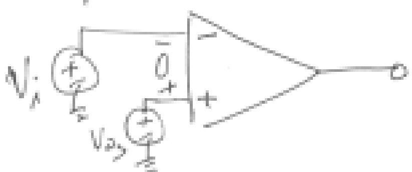
---

①

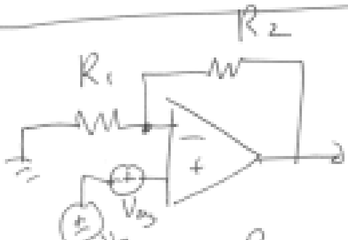


$V_o = +V$.

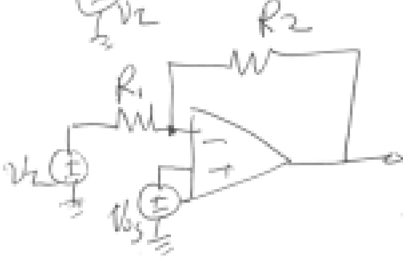
②



$V_o = 0$



$V_o = (V_{os} + v_2)\left(1 + \frac{R_2}{R_1}\right)$



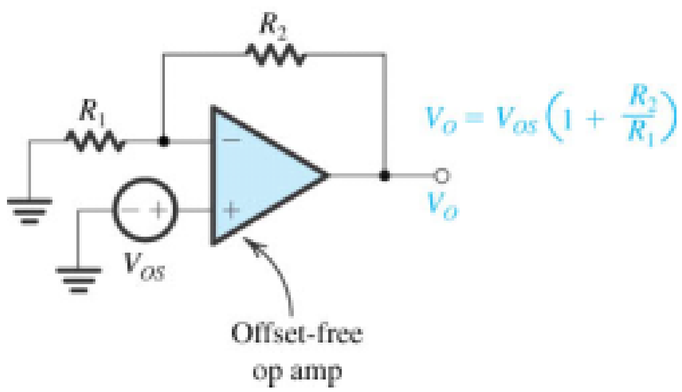
$V_o = V_{os}\left(1 + \frac{R_2}{R_1}\right) + \left(-\frac{R_2}{R_1} v_2\right)$

(superposition)

⇨ 범용의 op amp 에서 V_{OS}는 1 – 5 mV 정도이고, 온도에 따라 값이 달라지며, V_{OS}의 극성은 미리 알 수 없음.

<u>Op amp 회로에 대한 V_{OS}의 효과</u>:

inverting, noninverting 증폭기 구조에서 입력 전압 source 는 short 되고 op amp 는 그림 2.28 의 모델로 표현되면 모두 그림 2.29 와 같은 회로가 됨 (중첩의 원리적용).



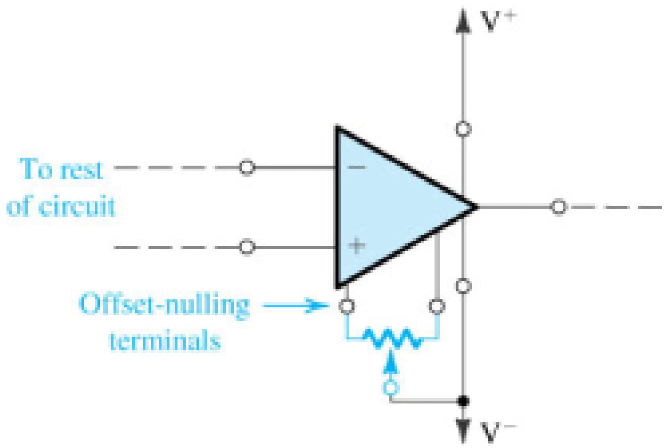
따라서, V_{OS}에 의한 출력 dc 전압은 다음과 같다.

$$V_O = V_{OS}\left(1+\frac{R_2}{R_1}\right)$$

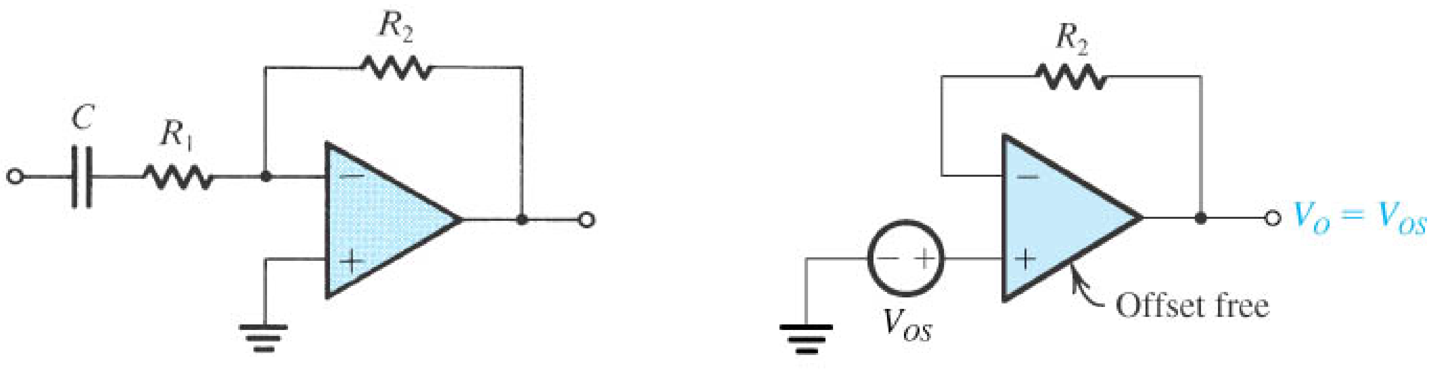
만일, closed-loop gain 이 1000 인 noninverting 증폭기가 5mV 의 V_{OS}를 가지는 op amp 로 구성되면, **<u>dc 출력 전압</u>**이 +5V 또는 –5V 가 됨. 이 상태에서 입력 신호가 증폭기에 인가되면, 해당 출력 신호는 5V dc 에 합쳐져서 나타나게 됨. 따라서, 출력에서의 allowable signal swing 이 감소되며, 만일 증폭하고자 하는 신호가 dc 라면 회로 출력이 입력 신호에 의한 것인지 V_{OS} 에 의한 것인지 구별할 수 없는 상태가 된다.

Dc offset 문제 해결 방법:

1) offset 조정 단자 이용(offset 조정 단자가 있는 op amp 의 경우): 외부회로가 V_{OS} 에 의한 dc 출력전압을 0 이 되게 조정. 그림 2.30. (그러나 V_{OS} 의 온도에 따른 변화의 문제가 있다.)

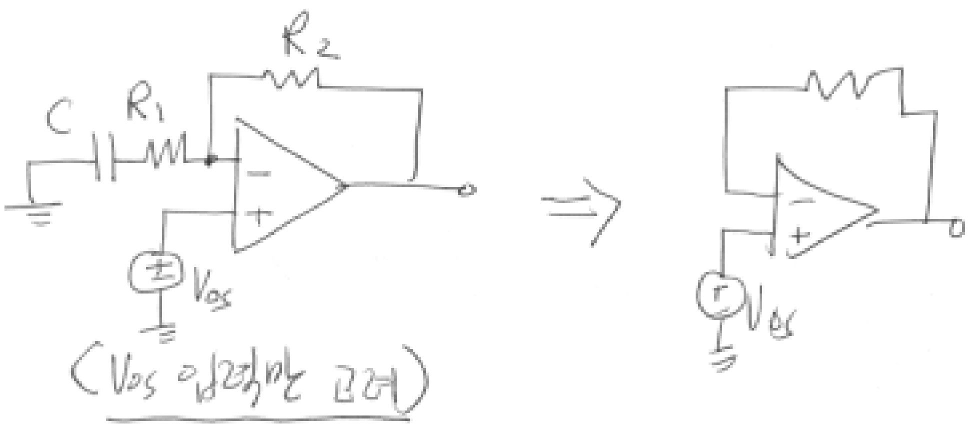


2) capacitive coupling 이용(dc 나 낮은 주파수 증폭이 아닌 경우):



(a) (b)

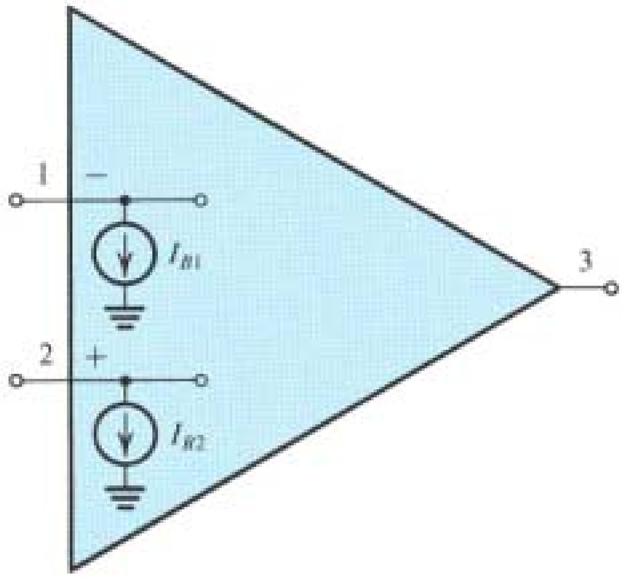
그림 2.31(a)는 capacitively-coupled inverting 증폭기임. Coupling capacitor 는 dc 에 대해 open 이므로, 출력 dc 전압은 그냥 V_{OS} 가 됨($\neq V_{OS}$ $(1+R_2/R_1)$). V_{OS} 에 대해 그림 2.31(a)의 회로는 unity-gain voltage follower 가 됨.=> 등가회로 그림 2.31(b)



2.7.2 입력 Bias 전류

2 번째 dc 문제.

입력 bias 전류: op amp 의 두 입력 단자에 흐르는 dc 전류. 그림 2.32 에서 이 두 전류는 전류 source I_{B1}, I_{B2} 로 표현됨.(실제 op amp 가 큰 입력저항을 가진다는 사실과 무관함).



⇨ 입력 bias 전류, I_B: I_{B1}, I_{B2} 의 평균값으로 정의됨. 즉,

$$I_B = \frac{I_{B1} + I_{B2}}{2}$$

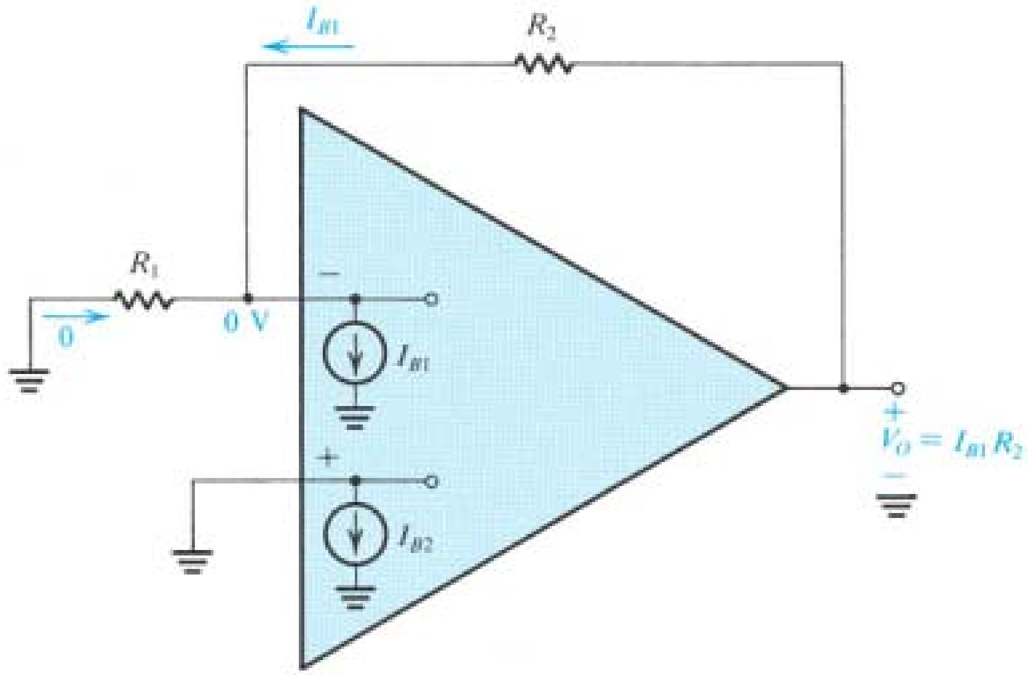
I_{B1}, I_{B2} 의 차이는 input offset current I_{OS} 라고 함. 즉,

$$I_{OS} = |I_{B1} - I_{B2}|$$

⇨ BJT 로 만들어진 op amp 는 대개 I_B=100nA, I_{OS}=10nA 정도 . MOSFET 로 만들어진 경우는 훨씬 작은 값(pA 정도)을 가짐.

⇨ Input bias 전류에 의한 closed-loop amp 의 dc 출력전압:

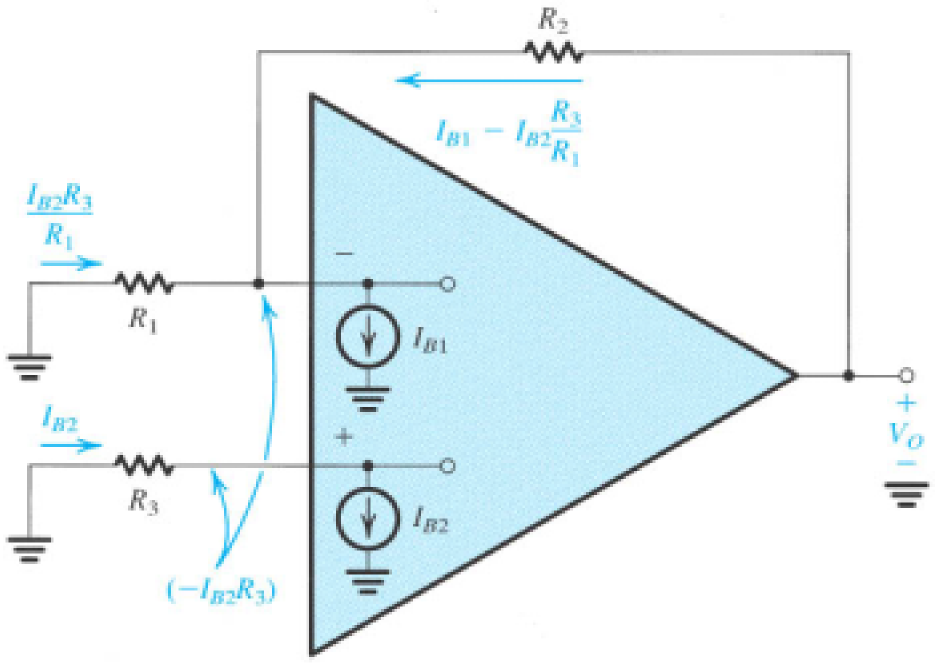
signal source 를 ground 시키면 inverting, noninverting 구조는 모두 그림 2.33 의 회로가 되고, 출력 dc 전압은 다음과 같다.



$$V_O = I_{B1}R_2 \cong I_B R_2$$

따라서 R_2의 크기는 제한을 받게 된다.

Input bias 전류들에 의한 출력 dc 전압의 감소 방법:



⇨ 그림 2.34 과 같이 op amp 양의 입력 단자에 저항 R_3을 추가하고, 이 저항의 크기를 적절히 선택함으로써 가능.(신호에 대해서 R_3의 영향은 없다)

⇨ 그림 2.34 회로의 해석 결과, V_O는 다음과 같다.

$$V_O = -I_{B2}R_3 + R_2\left(I_{B1} - \frac{I_{B2}R_3}{R_1}\right) \qquad (2.45)$$

⇨ $I_{B1}=I_{B2}=I_B$ 일 때, V_O는 다음과 같다.

$$V_O = I_B\left[R_2 - R_3\left(1+\frac{R_2}{R_1}\right)\right]$$

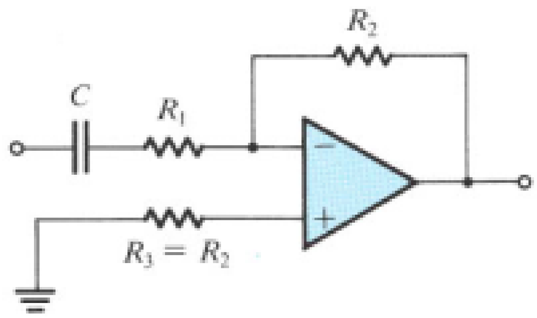
여기서, R_3를 다음과 같이 선택하면 V_O는 0 이 된다.

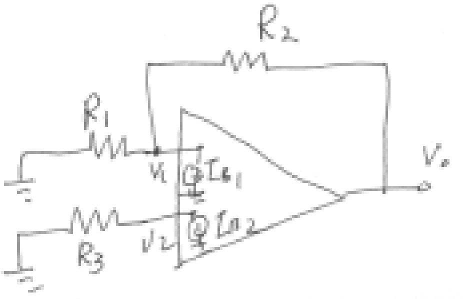
$$R_3 = \frac{R_2}{1+R_2/R_1} = \frac{R_1 R_2}{R_1 + R_2}, \_즉, R_3는\_R_1, R_2의\_병렬합성값$$

=> R_3가 위와 같이 선택되었을 때, I_{OS}의 효과:

$I_{B1}=I_B + I_{OS}/2$, $I_{B2}= I_B - I_{OS}/2$ 라 하면, 식(2.45)에서 $V_O=I_{OS}R_2$가 된다. 따라서 R_3 가 없는 경우의 $V_O(=I_BR_2)$보다 약 십분의 1 정도로 감소 됨.

⇨ input bias 전류들의 효과 감소를 위해 op amp 의 양의 입력 단자에 음의 입력 단자에서 보는 dc 저항과 같은 크기 저항을 추가해야 함. (참조 그림 2.35 의 ac-coupled 증폭기의 경우, $R_3=R_2$)





R_3 추가 ⇒ R_1에 전류 흐름
⇒ R_2의 전류 감소
⇒ R_2 의 전압강하 감소
⇒ V_o 감소 (∵V_1도 감소)

$R_3 = R_1 // R_2$ 이면, $I_{B1} = I_{B2}$ 일 때 $V_0 = 0$.

|| virtual short ⇒ V_0가 0이 되어야 함
($V_1 = V_2$)